

合成孔径辐射计 24 通道数字相关器设计

陆 浩^{1,2}, 王振占¹

(1. 中国科学院空间科学与应用研究中心, 北京 100190; 2. 中国科学院研究生院, 北京 100049)

摘要:针对合成孔径辐射计中存在的相关器单元过于复杂、不易于星载应用的问题,提出了一种新型数字相关系统设计方法。利用新一代大规模可编程门阵列 FPGA-Virtex5 和 12 片高速四通道的模数转换器 AD9287 实现了 24 个极化通道在 100MHz 采样率下的复相关运算,量化精度为 8 bit。详细介绍了系统结构、接口电路和软件实现,解决了合成孔径辐射计相关系统体积、功耗和硬件复杂程度过大的问题。

关 键 词:合成孔径辐射计;现场可编程门阵列;高速模数转换器;数字相关;欠采样

中图分类号:TP 732 **文献标志码:**A **文章编号:**1004-0323(2011)03-0283-04

1 引 言

合成孔径辐射计是一种无源微波遥感设备。为了提高辐射计分辨率,唯一的方法就是增大辐射计接收天线的物理口径。对于大的孔径,尽管稀疏程度很高,所需要的天线单元数目仍然很多,需要很多的相关器来实现天线方向图的综合^[1]。实现综合需要的相关器数目给硬件设计带来很大困难,严重阻碍星载应用。本文数字多路相关技术采用 12 片高速模数转换 AD9287 采样 48 路信号,通过新一代 FPGA-Virtex5 进行数据接受和相关运算处理。合成孔径辐射计中每一路极化信号分成同相(I)、正交相(Q)两路信号。每对正交信号分别与其他正交信号进行复相关处理。每一路信号输入到 ADC 的一个接口。数字相关器代替合成孔径辐射计中复杂的模拟相关器的功能,具有很高集成度,减少了相关系统的体积、重量,为星载应用提供了方便。AD9287 采样量化精度高、通道多。Virtex5 系列速度高,功耗低,嵌入式处理器能力强,DSP 计算能力大^[2],可以及时擦写里面的程序,根据需要进行相关运算的组合,选择不同的通道做相关。

2 数字相关器方案

信号采集模块中,12 片 AD9287 同时完成 48 路

信号的采样。单端被采信号通过变压器 BUFFER 转化为差分信号输入 ADC。ADC 输出数据和时钟为 LVDS 模式,内部做并串转换,量化 8 bit 数据通过一个串行口输出。两路驱动时钟连接到 FPGA 用来辨别和提取被采数据。采用 FPGA-Virtex5 实现对 12 个 ADC 输出数据的接收和相关运算处理。本方案中,时钟分配器 ADCLK854 驱动输出 12 路 100 MHz 同步差分时钟,确保到达每个 ADC 的采样时钟相位一致。通过 MAX811 控制低电平信号连接到 FPGA 以复位整个系统。FPGA 计算的相关结果通过串口上传到 PC 机。系统框图如图 1 所示。

3 ADC 及接口电路

3.1 ADC

ADC 采用 12 片 AD9287^[3] 芯片。AD9287 是一款四通道的模/数转换芯片,单通道典型功耗 133 mW。本数字相关器中,每个通道采样率 100 MHz,8 bit 分辨率,全功率带宽 295 MHz。输入峰峰值为 2 V。如图 2 ADC 功能框图所示,每路被采信号在 ADC 内部通过并串转换模块,即一根串行线输出 8 bit 采样值。DCO 和 FCO 时钟用来送给外部器件锁存数据。串行数据线通过 DCO 时钟传输。DCO 工作在 DDR 传输模式,速率 400 MHz。输出时钟 FCO 用来判别新采样点产生,每个上升沿

收稿日期:2010-10-15;修订日期:2011-03-31

基金项目:中国科学院“百人计划”择优支持经费。

作者简介:陆浩(1988—),男,安徽亳州人,博士研究生,主要从事高速数字相关器、极化微波辐射计等方面的研究。

E-mail:luhao0408@126.com。

传输一个采样点。12 个 ADC 的时钟由 AD-CLK854 芯片同步产生。可以采用三线软件模式或硬件模式配置 ADC 工作。

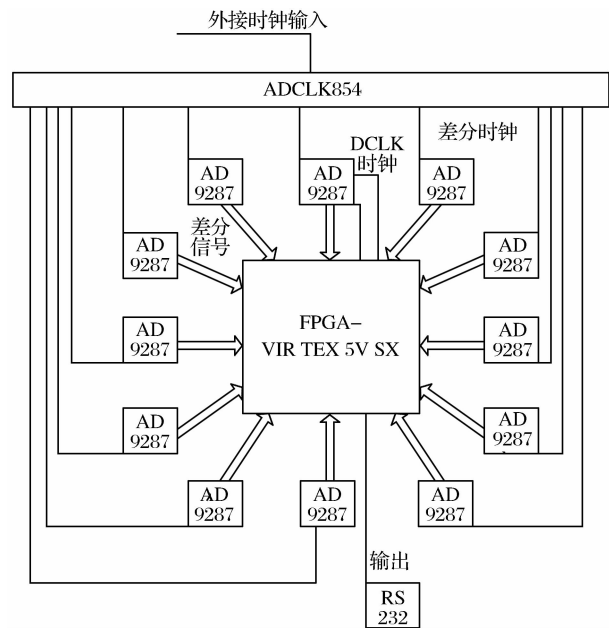


图 1 数字相关器系统结构框图

Fig. 1 Block diagram of digital correlator

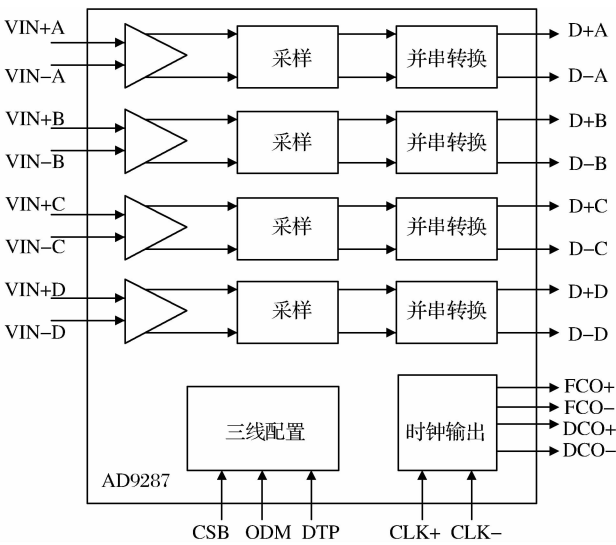


图 2 AD9287 功能框图

Fig. 2 Function diagram of AD9287

3.2 ADC 配置

AD9287 有两种配置模式，即硬件实现和软件实现。硬件实现通过 3 个管脚 CSB、ODM、DTP 完成。CSB 接地输出 LVDS 信号峰峰值 350 mV，接高电平则输出峰峰值为 200 mV，采用节能形式。DTP 管脚接高平时输出数据锁定为 10 000 000，接地则输出数据和时钟都正常工作。CSB 在这种模式下要接到高电平。软件实现是通道 FPGA 对

这 3 个管脚编程实现，分别是使能线、数据线和时钟线。如图 3 所示是软件配置的时序图。CSB 处于高电平则配置无效，当其处于低电平时配置 SDIO 传输线上的数据在 SCLK 时钟上升沿传到片内寄存器。只要将要求的工作模式所对应的配置数据按照这个时序传输到 AD9287 就可以完成控制。

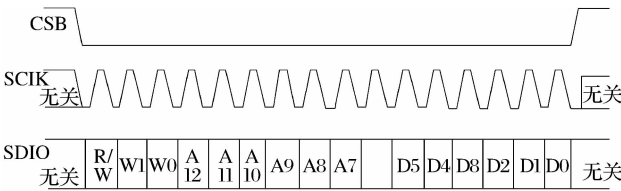


图 3 软件配置时序图

Fig. 3 Diagram of software configuration timing

3.3 接口电路 PCB 设计

时钟驱动 ADCLK854 同步输出 12 路 100 MHz 的差分信号，需要严格等长。每片 ADC 输出的采样信号，时钟 DCO 和 FCO 都是 LVDS 电平传输。LVDS 的驱动器由电流源组成。当驱动器翻转时，改变了流经端接电阻的电流方向，因此产生有效的逻辑 1 和逻辑 0 状态。所有 LVDS 在走线的时候需要保持等长和平行。电路中同时存在数字和模拟信号，PCB 设计需要注意如下事项：

- (1) 确保所有层上没有数字信号线位于模拟部分之上，也没有模拟信号位于数字部分。电路布局采用对称的原则，12 个 ADC 对称分布并以 FPGA 为中心。ADC 外围分布模拟电路，内部则都是数字电路。表层紧邻的地层按照这样的布局分割成两部分^[4]。
- (2) 信号线尽量不跨越地间隙或者分割电源之间的间隙，确保每一个信号层相邻一个平面层。确保传输线的特征阻抗一致，以保证信号传输的一致性。
- (3) 多层走线相邻两层线条尽量相互垂直，或走斜线，大面积的电源层和大量的地层要相近，电源和地之间形成电容，起到滤波作用。
- (4) 高速 LVDS 线在满足条件的情况下，加入端接匹配以减少或消除反射，减小串扰^[5]。
- (5) 对于微带线和带状线传输，走线高度在高于平面层 10 mil 以内。

4 FPGA 设计

Virtex-5 采用 65nm 工艺，与前一代 90 nm FPGA 相比，速度平均提高 30%，逻辑容量增加 65%，同时动态功耗降低了 35%^[6]。Virtex-5 核电压仅为 1 V，系统时钟最高达到 550 MHz。如图 4 为

FPGA 中数据流程结构框图。每路被采数据以 800 MHz 的速率进入 FPGA, DCO 时钟速率是 400 MHz, FCO 速率是 100 MHz。输入的 LVDS 采样信号和差分时钟首先通过 BUFFER 转化成单端信号, 随后进入串并转换模块, 通过 VHDL 语言实现转换。在 FCO 上升沿开始提取在 DCO 双边沿传入的数据, 提取 4 个 DCO 周期内的数构成 8 bit 的一个采样点, 24 路极化通道 IQ 信号的 48 个 8 bit 采样值输入到相关计算模块。

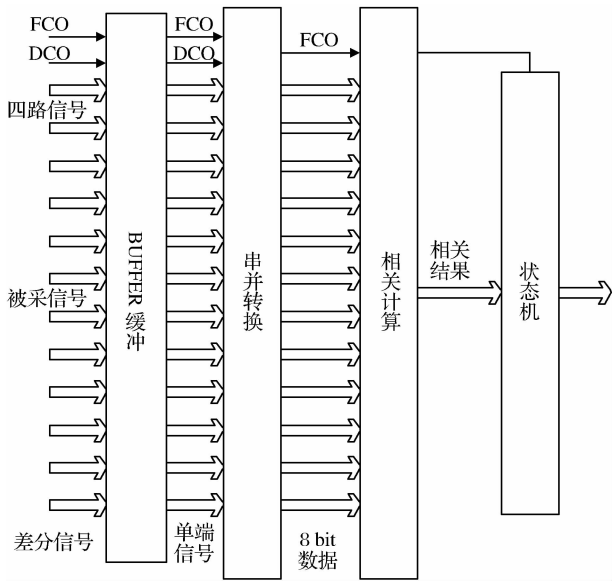


图 4 FPGA 中数据流程结构框图

Fig. 4 Block diagram of data flow in FPGA

相关计算由多个乘法器和累加器并行构成。如图 5 是相关计算模块结构, 24 个极化通道可以选择连接到任意相关单元的端口作相关运算。用 FPGA 里的 IP 模块设计 8 bit 宽乘法器, 当使用一 3 级别的 Virtex5 芯片时其计算速度最高达到 550 MHz, 完全满足设计需要。每两路极化信号的相关计算单元包含计算两路自相关, 互相关实部和虚部, 需要 8 个乘法器。设计中 12 个单元总共需要 96 个乘法核, 而 Virtex5 中 VSX 系列芯片最少包含 192 个乘法核。通过 IP 核调用 8 bit×1 024 同步 FIFO。通过 VHDL 编程实现 32 bit 宽累加器, 数据累加 20 ms(可控制)通过串口输出到 PC 机, 状态机控制 12 组相关结果的输出顺序, 可以使相关结果完整的传输到电脑。图 6 由上到下是状态机的控制流程图, 图中截取了从初始状态到完成第一个相关结果输出的控制流程, 以下的 11 组相关结果也都是采用相同的判别过程。当到达最后一个状态时又返回对第一个状态的判断, 如此反复进行。

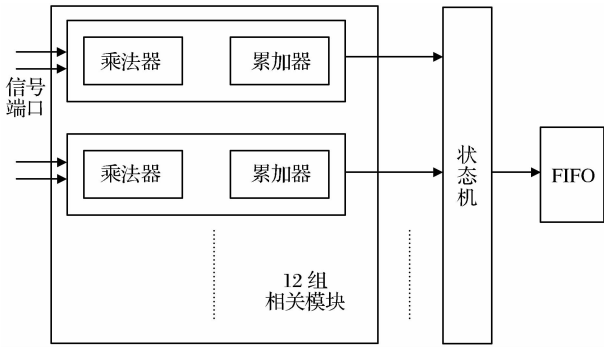


图 5 FPGA 相关计算模块结构

Fig. 5 Block diagram of digital correlation calculation in FPGA

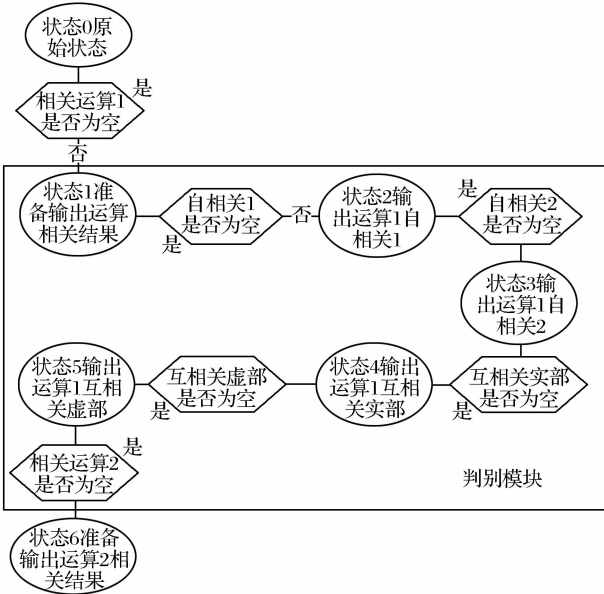


图 6 状态机控制流程图

Fig. 6 Diagram of state machine controlling flow

每两路信号通过下式的计算得到四个相关结果, 即各自的自相关, 互相关实部和互相关虚部。1₋DI 表示其中一个通道的 I 路信号, 1₋DQ 表示一个通道的 Q 路信号。2₋DI 表示另一个通道的 I 路信号, 2₋DQ 表示另一个通道的 Q 信号。Ev=1₋DI+1₋DQ·i, Eh=2₋DI+2₋DQ·i。复相关按下式计算然后累加指定时间输出。

$|E_1|^2 = 1_DI \times 1_DI + 1_DQ \times 1_DG$ (2)

$|E_2|^2 = 2_DI \times 2_DI + 2_DQ \times 2_DQ$ (3)

$ReE_1E_2^* = 1_DI \times 2_DI + 1_DQ \times 2_DQ$ (4)

$ImE_1E_2^* = 1_DQ \times 2_DI - 1_DI \times 2_DQ$ (5)

5 结 语

本文详细介绍了一种新型多通道的数字相关器的设计方法。采用一片 FPGA-Virtex5 和 12 片高

速 A/D 转换芯片 AD9287 实现了 100 MHz 采样率 24 个极化通道的高阶同步数字相关运算。FPGA 开发工具采用 Xilinx 公司的 ISE 10.1 进行综合、布局布线,各项技术指标均能达到设计要求。FPGA 具有快速可擦写的特点,可以根据需要及时更改程序,选择不同通道之间作相关运算。相比模拟相关器,数字相关器没有通道互藕。提出的新型数字相关器在一块电路板上完成相关,很大简化了传统硬件设计的规模,具有集成度高,使用灵活等特点。随着高速 ADC 和 FPGA 芯片的发展,带宽更高,通道更多的数字相关器可以参考本设计方案,采用相同的结构和 FPGA 数据处理方法。这些有待于今后进一步研究。

参考文献(References):

[1] Yan Jingye, Wu Ji, Zhang Shengwei, *et al.* Research on Multi-Elements and Multi-Levels Digital Complex-Correlator of Synthetic Aperture Radiometer[J]. Acta Electronics Sinica, 2003, 31(9): 1411-1414. [闫敬业, 吴季, 张升伟, 等. 合成孔径辐射计

多路高阶数字复相关器方案研究[J]. 电子学报, 2003, 31(9): 1411-1414.]

- [2] Sun Hang, Hu Lingbo, Yu Lianfeng, *et al.* Xilinx Application and System Design of Programmable Logic Devices[M]. Beijing: Publishing House of Electronics Industry, 2008. [孙航, 胡灵博, 于联锋, 等. Xilinx 可编程逻辑器件应用与系统设计[M]. 北京: 电子工业出版社, 2008.]
- [3] Devices A, Inc. Quad, 8-Bit, 100 MSPS, Serial LVDS 1.8 V ADC, AD9287[EB/OL]. www.analog.com/AD9287, 2007.
- [4] Xiao Lingni, Yuan Zenggui. Protel 99 SE Printed Circuit Board Tutorial[M]. Beijing: Tsinghua University Press, 2006. [肖玲妮, 袁增贵. Protel 99 SE 印刷电路板设计教程[M]. 北京: 清华大学出版社, 2006.]
- [5] Yao Sigai. Protel 99 SE Electron Circuits Tutorial[M]. Shanghai: Shanghai Jiaotong University Press, 2008. [姚四改. Protel 99 SE 电子线路设计教程[M]. 上海: 上海交通大学出版社, 2008.]
- [6] Tian Yun, Xu Wenbo, Hu Bin, *et al.* Xilinx ISE Design Suite 10. x FPGA Develop Guide[M]. Beijing: Posts & Telecom Press, 2008. [田耘, 徐文波, 胡彬, 等. Xilinx ISE Design Suite 10. x FPGA 开发指南[M]. 北京: 人民邮电出版社, 2008.]

Design of Twenty-four Channels Digital Correlation in Synthetic Aperture Radiometer

LU Hao^{1,2}, WANG Zhen-zhan¹

(1. Center for Space Science and Applied Research, Chinese Academy of Sciences, Beijing 100190, China; 2. Graduate University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: The synthetic aperture radiometer needs to complete correlations of many different channels. To solve the problem that the correlator unit of synthetic aperture radiometer is becoming so complex that it is not convenient for the implementation of spaceborne radiometer, a novelty design of digital correlator is given. Digital correlator is the main part of the synthetic aperture radiometer. The technology of new FPGA-Virtex5 and twelve high-speed analog-digital converter AD9287 is used to complete correlation of twenty-four polarization channels at 100 MHz sampling rate with 8 bit resolution. All the self- and cross-correlation calculations are processed at the same time in FPGA. The program can be easily erased to change the important parameters such as integration time. Structure of the system, interface circuit and software method are introduced in detail. The problem of bulk, power and complex correlation are all solved. Novel correlator with more sampling rate and more resolution can be designed based on the template given in the paper.

Key words: Synthetic aperture radiometer; FPGA; High-speed ADC; Digital correlation; Down sampling